

Sistem Digital

Flip-Flop -6-



Kelompok Rangkaian Logika

- + Kelompok rangkaian logika kombinasional
 - + Bentuk dasarnya adalah gerbang logika
- + Kelompok rangkaian logika sekuensial
 - + Bentuk dasarnya adalah rangkaian flip-flop
 - + Bermanfaat karena karakteristik memorinya
- + Gerbang adalah : pembuat keputusan



Flip-Flop

- ✚ Flip-flop mempunyai 2 keadaan stabil, dan akan bertahan pada salah satu dari dua keadaan itu sampai adanya pemicu yang membuatnya berganti keadaan.
- ✚ Flip-flop kadang disebut juga kancing, multivibrator, biner, tapi kita akan menggunakan istilah flip-flop saja
- ✚ Flip-flop dapat dirangkai dari gerbang logika NAND atau bisa dibeli dalam bentuk IC
- ✚ Flip-flop digunakan untuk penyimpanan, pewaktu, penghitungan dan pengurutan



Flip-Flop

- ✚ Flip-flop merupakan satu sel memori
- ✚ Keadaan keluaran flip-flop dapat berada dalam keadaan tinggi / rendah untuk selang waktu yang dikehendaki
- ✚ Untuk mengubah keadaan tersebut diperlukan suatu masukan pemicu
- ✚ Flip-flop mempunyai 2 keluaran komplementer, yaitu Q dan \bar{Q}

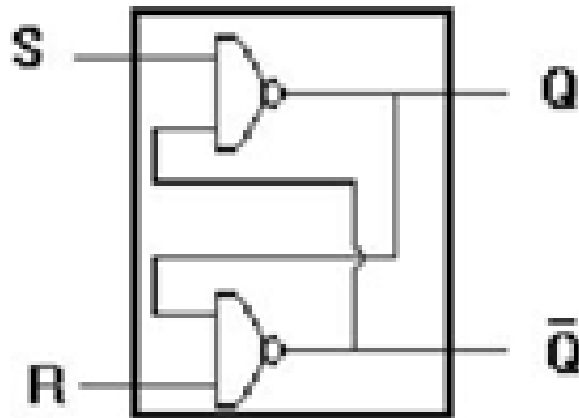


Jenis-jenis Flip-Flop

- ✚ SR Flip-Flop (Set Reset FF)
- ✚ JK Flip-Flop
- ✚ D Flip-Flop (Data FF)
- ✚ T Flip-Flop

SR Flip-Flop

- SR Flip-flop merupakan rangkaian dasar untuk menyusun berbagai jenis FF yang lainnya.
- Disusun dari gerbang NAND



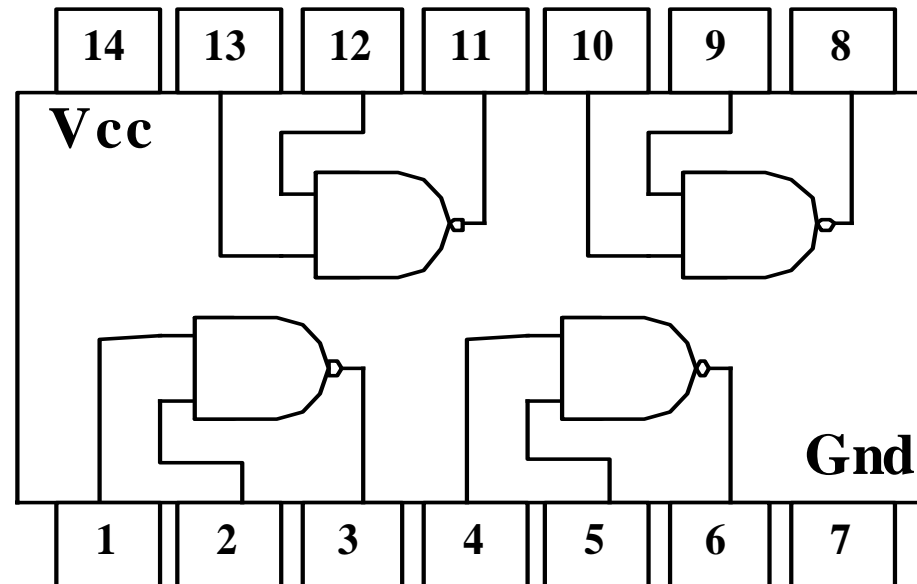
S	R	Q_{n+1}
0	1	1
1	0	0
1	1	Q_n
0	0	Don't Care

Gambar 5.1. FF SR dari gerbang NAND



SR Flip-Flop

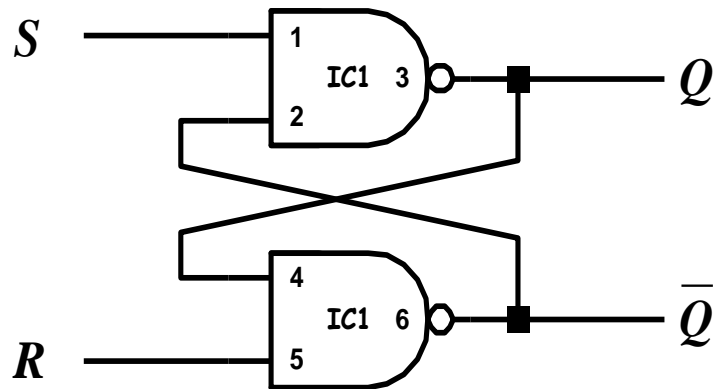
- ✚ Contoh IC Flip-flop yang menggunakan gerbang NAND adalah IC 74LS00



IC 74LS00



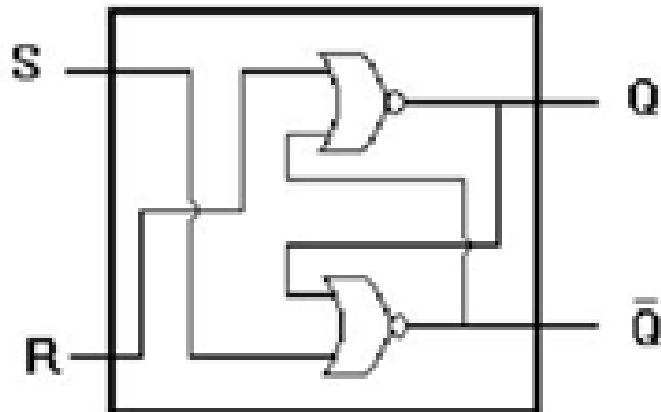
SR Flip-Flop



Clock	S	R	Q	Q'
↓	0	0	1	1
↓	0	1	1	0
↓	1	0	0	1
↓	1	1	Tdk berubah	

SR Flip-Flop

✚ Atau disusun dari gerbang 2 gerbang NOR



S	R	Q_{n+1}
0	1	0
1	0	1
0	0	Q_n
1	1	Don't Care

Gambar 5.2. FF SR dari gerbang NOR



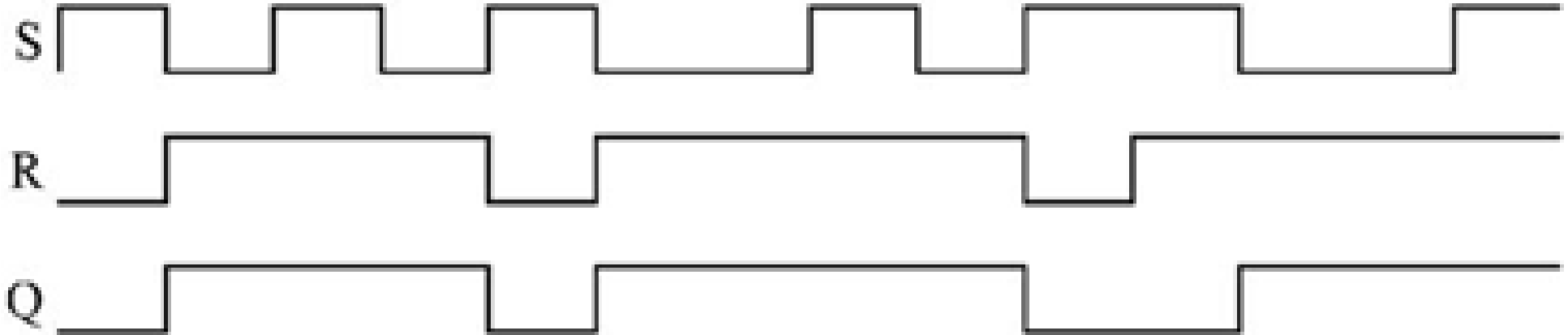
SR Flip-Flop

- ✚ Mengset Flip-flop berarti membuat keluaran $Q = 1$ dan
- ✚ Mereset Flip-flop berarti membuat keluaran $Q = 0$ dari kondisi stabil / tidak berubah
- ✚ Mengeset FF dari gerbang NAND dapat dilakukan dengan membuat $S = 0$ dan mereset dilakukan dengan membuat $R = 0$
- ✚ Mengeset FF dari gerbang NOR dapat dilakukan dengan membuat $S = 1$ dan mereset dilakukan dengan membuat $R = 1$



SR Flip-Flop

- ✚ Contoh sinyal yang melukiskan bentuk keluaran dari SR FF dengan menggunakan gerbang NAND



Gambar 5.3. Sinyal keluaran pada FF SR



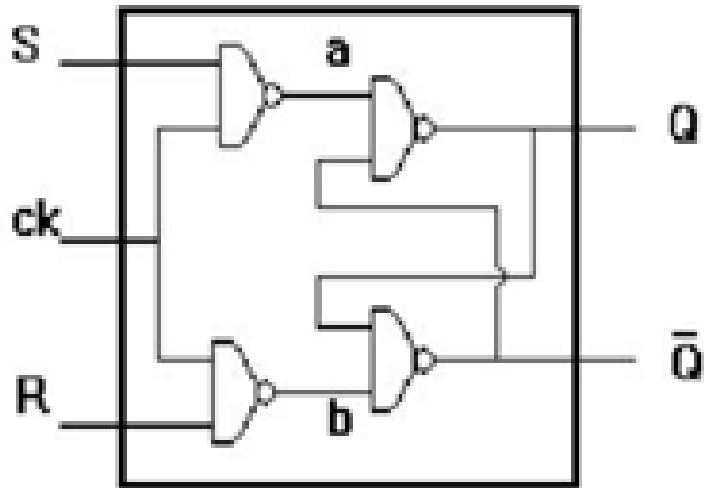
SR FF Terlonceng / Latch SR FF / Detak SR FF

- ✚ FF jenis ini dapat dirangkai dari FF-SR ditambah dengan dua gerbang AND / NAND untuk masukan pemicu yang disebut dengan sinyal klok (ck)



SR FF Terlonceng / Latch SR FF / Detak SR FF

✚ Jika menggunakan gerbang NAND



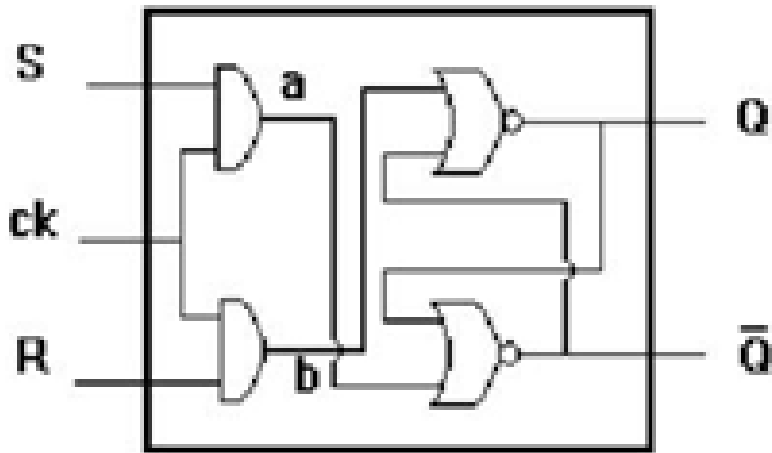
ck	S	R	A	B	Q_{n+1}
0	0	0	1	1	Q_n
0	0	1	1	1	Q_n
0	1	0	1	1	Q_n
0	1	1	1	1	Q_n
1	0	0	1	1	Q_n
1	0	1	1	0	0
1	1	0	0	1	1
1	1	1	0	0	Don't Care

Gambar 5.4. FF terlonceng dari NAND



SR FF Terlonceng / Latch SR FF / Detak SR FF

✚ Jika menggunakan gerbang NOR



ck	S	R	a	B	Q_{n+1}
0	0	0	0	0	Q_n
0	0	1	0	0	Q_n
0	1	0	0	0	Q_n
0	1	1	0	0	Q_n
1	0	0	0	0	Q_n
1	0	1	0	1	0
1	1	0	1	0	1
1	1	1	1	1	Don't Care

Gambar 5.5. FF terlonceng dari NOR



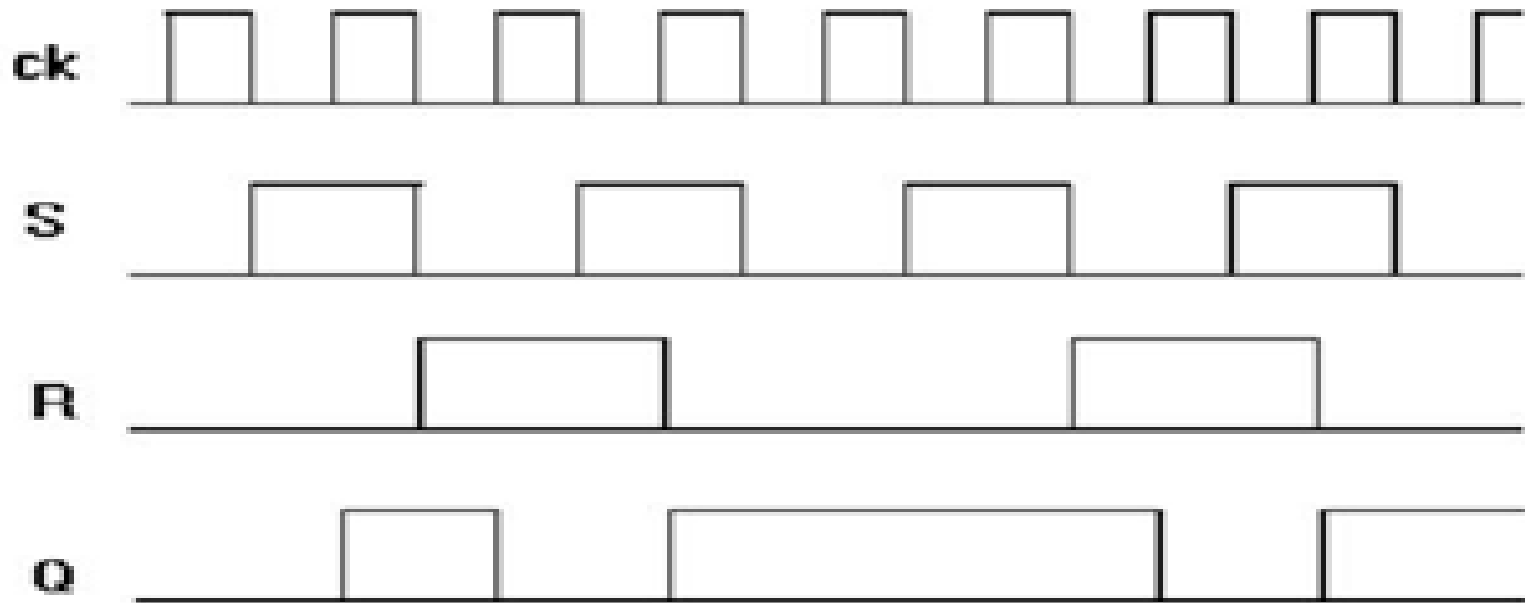
SR FF Terlonceng

- ✚ Dari tabel kebenaran kedua rangkaian di atas, terlihat bahwa untuk sinyal clock yang tinggi, FF ini bekerja seperti FF-SR dari gerbang NOR
- ✚ Sedangkan untuk sinyal clock yang rendah, keluaran Q tidak bergantung kepada input R dan S, tetapi tetap mempertahankan keadaan terakhir sampai datangnya sinyal clock berikutnya.



SR FF Terlonceng

✚ Contoh bentuk sinyal Q dengan SR FF



Gambar 5.6. Hubungan antara Q dengan S,R dan clock.

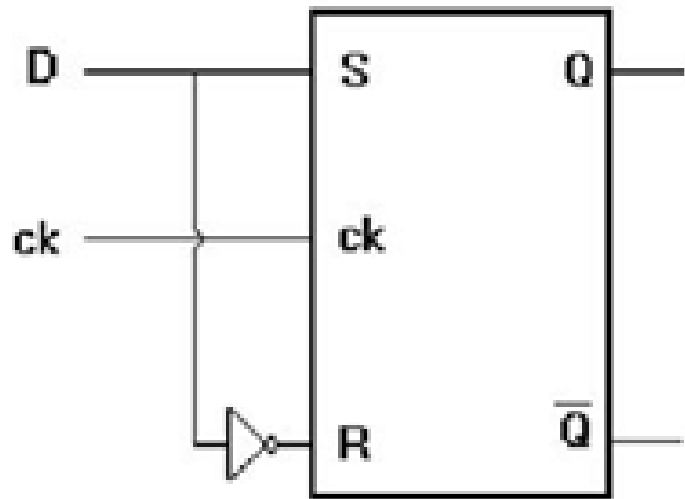


D Flip-Flop

- ✚ Pada FF-SR ada nilai-nilai masukan yang terlarang
- ✚ Untuk menghindari nilai terlarang tersebut, disusun jenis FF lain yang dinamakan FF Data (D FF)
- ✚ Rangkaian ini dapat diperoleh dengan menambahkan satu gerbang NOT pada masukan FF terlonceng



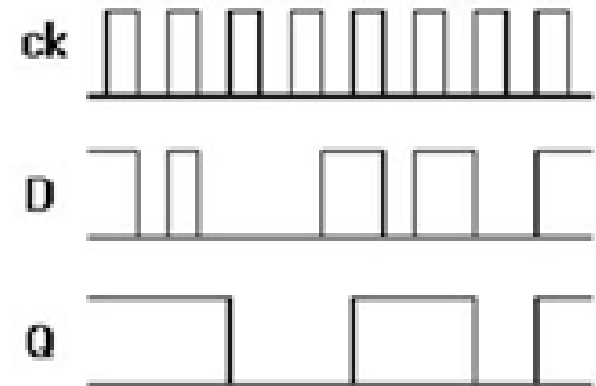
D Flip-Flop



(a)

Ck	D	Q
0	?	Q
1	0	0
1	1	1

(b)

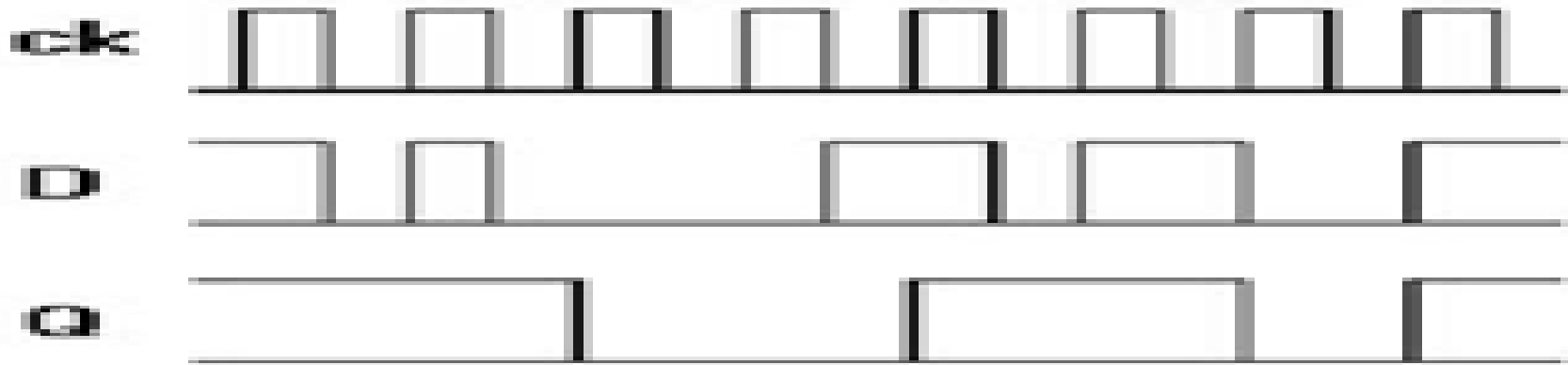


(c)

Gambar 5.7. a) Rangkaian FF-Data. b) Tabel Kebenaran. c) Pemundaan pulsa



D Flip-Flop



(c)

gambar. c) Penundaan pulsa



D Flip-Flop

- ✚ Dari gambar di atas terlihat bahwa untuk sinyal clock yang rendah, keluaran Q akan tetap terkunci / tergerendel pada nilai akhirnya.
- ✚ Dengan kata lain bahwa pada saat kondisi clock rendah, sinyal masukan D tidak mempengaruhi keluaran Q
- ✚ Sedangkan untuk sinyal clock yang tinggi, akan diperoleh keluaran sesuai dengan data D yang masuk pada saat itu

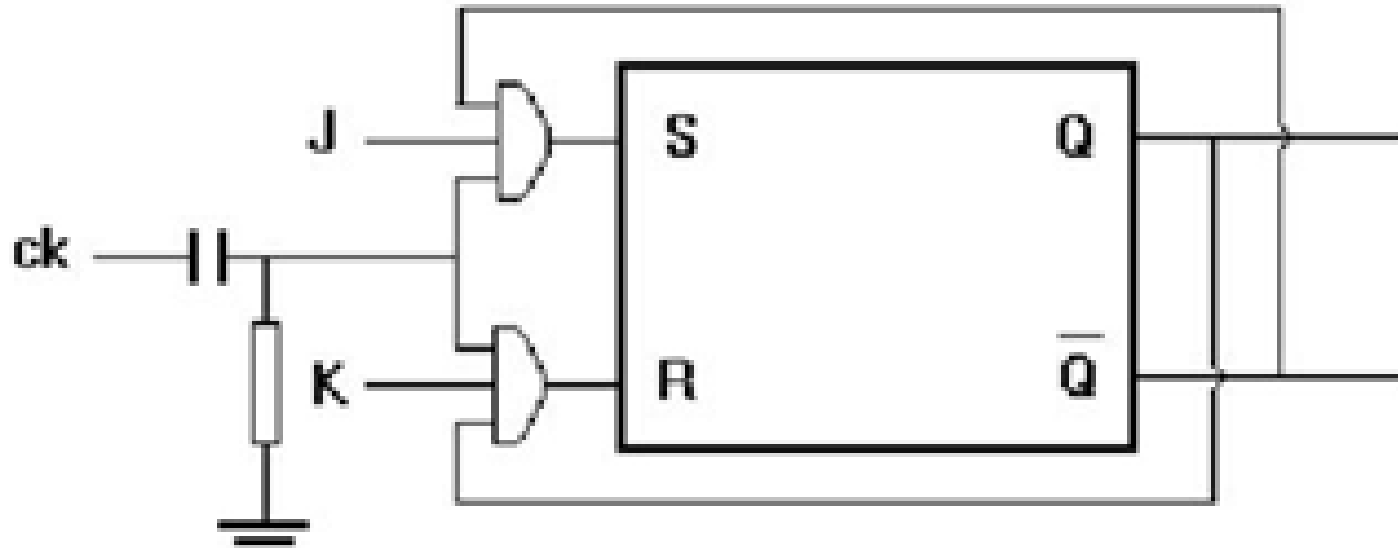


JK Flip-Flop

- ✚ JK FF mempunyai masukan “J” dan “K”
- ✚ FF ini dipicu oleh suatu pinggirannya pulsa clock positif atau negatif
- ✚ JK FF merupakan rangkaian dasar untuk menyusun sebuah pencacah
- ✚ JK FF dibangun dari rangkaian dasar SR-FF dengan menambahkan dua gerbang AND pada masukan R dan S serta dilengkapi dengan rangkaian diferensiator pembentuk denyut pulsa clock



JK Flip-Flop



Gambar 5.8. Rangkaian FF JK



JK Flip-Flop

- ✚ Masukan J dan K disebut masukan pengendali karena kedua masukan ini yang menentukan keadaan yang harus dipilih oleh FF pada saat pulsa clock tiba (dapat pinggiran positif atau negatif tergantung pada jenis FF-nya)
- ✚ JK-FF berbeda dengan D-FF karena JK-FF masukan clock adalah masukan yang di cacah dan masukan J dan K adalah masukan yang mengendalikan FF itu



Cara kerja JK-FF

- ✚ Pada saat J dan K keduanya rendah, gerbang AND tidak memberikan tanggapan sehingga keluaran Q tetap bertahan pada keadaan terakhirnya (Q_n)
- ✚ Pada saat J rendah dan K tinggi, maka FF akan diseret hingga diperoleh keluaran $Q=0$ (kecuali jika FF memang sudah dalam keadaan reset atau Q memang sudah pada keadaan rendah)



Cara kerja JK-FF

- ✚ Pada saat J tinggi dan K rendah, maka masukan ini akan menggeser FF hingga diperoleh keluaran $Q = 1$ (kecuali jika FF memang sudah dalam keadaan set atau Q sudah dalam keadaan tinggi)
- ✚ Pada saat J dan K kedua-duanya tinggi, maka FF berada dalam keadaan “toggle” artinya keluaran Q akan berpindah pada keadaan lawan jika pinggiran pulsa clocknya tiba



Tabel Kebenaran JK FF

Clock	J	K	Q	Q'
	0	0	Tdk berubah	
	0	1	0	1
	1	0	1	0
	1	1	Keadaan berlawanan	



Tabel Kebenaran JK FF Pemicu Tepi Positif

Clock	J	K	Q
0	X	X	NC
1	X	X	NC
↓	X	X	NC
X	0	0	NC
↑	0	1	0
↑	1	0	1
↑	1	1	Keadaan berlawanan



Tabel Kebenaran JK FF Pemicu Tepi Negatif

Clock	J	K	Q
0	X	X	NC
1	X	X	NC
↑	X	X	NC
X	0	0	NC
↓	0	1	0
↓	1	0	1
↓	1	1	Keadaan berlawanan



JK Flip-Flop Master-Slave

- ✚ JK FF Master-Slave, adalah suatu cara lain untuk menghindari pemacuan
- ✚ Merupakan kombinasi dari 2 penahan yang diatur oleh sinyal pendetak
- ✚ Penahan pertama adalah master / majikan, yang diatur oleh sinyal pendetak positif
- ✚ Penahan kedua adalah slave / budak, yang diatur oleh sinyal pendetak negatif



JK Flip-Flop Master-Slave

- + Pada saat sinyal detak berada pada tingkat tinggi, master-nya yang aktif dan slave-nya tidak aktif
- + Pada saat sinyal detak berada pada tingkat rendah, master-nya yang tidak aktif dan slave-nya yang aktif



Tabel Kebenaran JK FF – Master Slave

PR	CLR	Clock	J	K	Q
0	0	X	X	X	*
0	1	X	X	X	1
1	0	X	X	X	0
1	1	X	0	0	NC
1	1	\square	0	1	0
1	1	\square	1	0	1
1	1	\square	1	1	Keadaan berlawanan



Daftar Pustaka

- + Albert Paul Malvino, Tjia May On, PhD, Elektronika Komputer Digital, Pengantar Mikrokomputer, Edisi Kedua, Erlangga, 1993
- + Roger L Tokheim, Sutisna, Prinsip-prinsip Digital, Edisi Kedua, Seri Buku Schaum : Teori dan Soal, Erlangga, 1994



Alhamdulillah....

Thanks!

A blue cartoon character with a round face, a wide smile, and its arms raised in a gesture of joy or gratitude. The character is positioned below the word 'Thanks!' and has a small '©' symbol next to it.